

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-350752

(43)Date of publication of application : 04.12.1992

(51)Int.Cl.

G06F 13/28

(21)Application number : 03-124216

(71)Applicant : NEC ENG LTD

(22)Date of filing : 29.05.1991

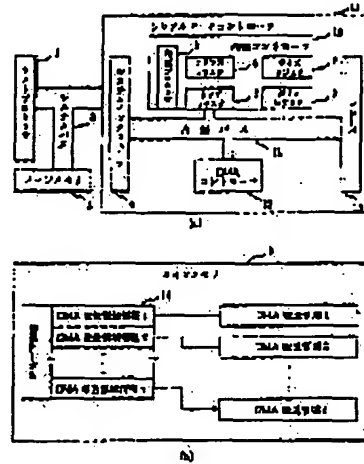
(72)Inventor : HIROMORI HIDESHI

(54) MANAGEMENT SYSTEM FOR DIRECT MEMORY ACCESS TRANSFER AREA

(57)Abstract:

PURPOSE: To change a direct memory access (DMA) transfer area without stopping DMA.

CONSTITUTION: A serial data controller 11 consists of an address register 8 indicating the start address of an information table 14 where plural DMA transfer areas on a line memory 3 are registered, a size register 7 indicating the area size of the information table 14, a top register 8 indicating the start area of areas where DMA transfer preparation is completed in the information table 14, a bottom register 9 indicating the last area of these areas, a receiver 13 which converts reception parallel data to serial data, a system interface 4 which controls interface to a host processor 1, a DMA controller 12 which transfers reception data from the receiver 13 to the DMA transfer area indicated by the information table 14 by DMA transfer, and an internal processor 5 which controls registers 6, 7, 8, and 9, the receiver 13, the system interface 4, and the DMA controller 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

6

特開平4-350752

(43) 公開日 平成4年(1992)12月4日

(51) Int.Cl.⁴

G 0 6 F 13/28

識別記号

庁内整理番号

F I

技術表示箇所

3 1 0 A 7052-5B

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-124216

(22) 出願日 平成3年(1991)5月29日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区西新橋3丁目20番4号

(72) 発明者 廣森 秀史

東京都港区西新橋三丁目20番4号日本電気
エンジニアリング株式会社内

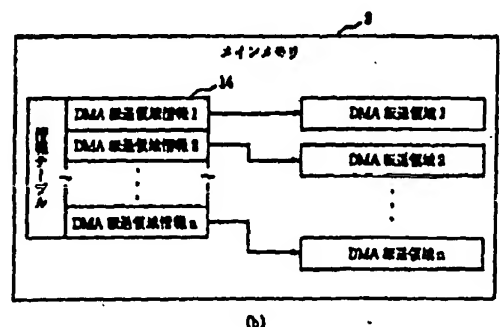
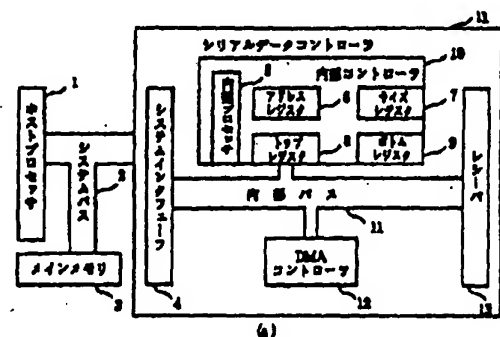
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 ダイレクト・メモリ・アクセス転送領域の管理方式

(57) 【要約】 (修正有)

【目的】 DMAを停止させないでDMA転送領域の変更処理を行う。

【構成】 シリアルデータコントローラ11はメインメモリ3上の複数のDMA転送領域を登録した情報テーブル14の先頭アドレスを示すアドレスレジスタ8と、情報テーブル14の領域サイズを示すサイズレジスタ7と、情報テーブル14内でDMA転送準備が完了した先頭領域を示すトップレジスタ8と、情報テーブル14内でDMA転送準備が完了した最後尾領域を示すボトムレジスタ9と、受信パラレルデータをシリアルデータに変換するレシーバ13と、ホストプロセッサ1とのインタフェースを制御するシステムインタフェース4と、受信データをレジバ13から情報テーブル14で示されたDMA転送領域へDMA転送するDMAコントローラ12と、そしてレジスタ6、7、8、9、レシーバ13、システムインタフェース4、DMAコントローラ12を制御する内部プロセッサ5とを有して構成している。



【特許請求の範囲】

【請求項1】 シリアルデータコントローラとホストプロセッサとによる管理のメインメモリをダイレクト・メモリ・アクセス転送を用いて、フレームを受信するダイレクト・メモリ・アクセス転送領域の管理方式において、前記シリアルデータコントローラは前記メインメモリ上の複数のダイレクト・メモリ・アクセス転送領域を登録した情報テーブルの先頭アドレスを示すアドレスレジスタと、前記情報テーブルの領域サイズを示すサイズレジスタと、前記情報テーブル内でダイレクト・メモリ・アクセス転送準備が完了した先頭領域を示すトップレジスタと、前記情報テーブル内でダイレクト・メモリ・アクセス転送準備が完了した最後尾領域を示すボトムレジスタと、受信パラレルデータをシリアルデータに変換するレシーバと、前記ホストプロセッサとのインタフェースを制御するシステムインタフェースと、受信データを前記レシーバから前記情報テーブルで示されたダイレクト・メモリ・アクセス転送領域へダイレクト・メモリ・アクセス転送するダイレクト・メモリ・アクセスコントローラと、前記アドレスレジスタ、サイズレジスタ、トップレジスタ、ボトムレジスタ、レシーバ、システムインタフェース、ダイレクト・メモリ・アクセスコントローラを制御する内部プロセッサとを有することを特徴とするダイレクト・メモリ・アクセス転送領域の管理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ダイレクト・メモリ・アクセス転送領域の管理方式に関し、特にシリアルデータコントローラにおけるダイレクト・メモリ・アクセス転送領域の管理方式に関する。

【0002】

【従来の技術】 従来、この種のダイレクト・メモリ・アクセス（以下DMA）転送領域の管理方式は、ホストプロセッサがシリアルデータコントローラに対して複数の受信DMA転送領域の登録完了後に、転送領域の変更処理する場合、必ずDMA転送を一時停止する管理方式となっていた。

【0003】 この管理方式では、DMA転送領域への受信が完了後に使用する次のDMA転送領域を示す情報が、メインメモリ上の一箇所に設定されている為、情報をホストプロセッサが更新中にシリアルデータコントローラが参照することを禁止し、誤動作を防ぐことを目的としていた。

【0004】

【発明が解決しようとする課題】 上述した従来のDMA転送領域の管理方式では、受信DMA転送領域を変更の際に、一時DMA転送を停止させなくてはならない為、受信DMA起動中に転送領域の変更処理に長時間とると、受信DMAがオーバーランを発生し、正常に受信で

きなくなるという欠点がある。

【0005】 また、受信DMAオーバーランの発生は、使用するホストプロセッサの性能に依存しており、受信データの転送速度を高めるには、高性能のプロセッサが必要となり受信システムとして高価になるという欠点がある。

【0006】

【課題を解決するための手段】 本発明のDMA転送領域の管理方式は、シリアルデータコントローラとホストプロセッサとによる管理のメインメモリをダイレクト・メモリ・アクセス転送を用いて、フレームを受信するダイレクト・メモリ・アクセス転送領域の管理方式において、前記シリアルデータコントローラは前記メインメモリ上の複数のダイレクト・メモリ・アクセス転送領域を登録した情報テーブルの先頭アドレスを示すアドレスレジスタと、前記情報テーブルの領域サイズを示すサイズレジスタと、前記情報テーブル内でダイレクト・メモリ・アクセス転送準備が完了した先頭領域を示すトップレジスタと、前記情報テーブル内でダイレクト・メモリ・アクセス転送準備が完了した最後尾領域を示すボトムレジスタと、受信パラレルデータをシリアルデータに変換するレシーバと、前記ホストプロセッサとのインタフェースを制御するシステムインタフェースと、受信データを前記レシーバから前記情報テーブルで示されたダイレクト・メモリ・アクセス転送領域へダイレクト・メモリ・アクセス転送するダイレクト・メモリ・アクセスコントローラと、前記アドレスレジスタ、サイズレジスタ、トップレジスタ、ボトムレジスタ、レシーバ、システムインタフェース、ダイレクト・メモリ・アクセスコントローラを制御する内部プロセッサとを有している。

【0007】

【実施例】 次に、本発明について図面を参照して説明する。

【0008】 図1は本発明の一実施例を示し、(a)は本実施例を示すブロック図、(b)は本実施例におけるメインメモリの構成を示す図である。

【0009】 図1において、本実施例はシリアルデータコントローラ11とホストプロセッサ1とによる管理のメインメモリ3をシステムバス2を介してダイレクト・メモリ・アクセス（以下DMA）転送を用いて、フレームを受信するシステムで、シリアルデータコントローラ11は、メインメモリ3上の複数のDMA転送領域を登録した情報テーブル14の先頭アドレスを示すアドレスレジスタ6と、情報テーブル14の領域サイズを示すサイズレジスタ7と、情報テーブル14内でDMA転送準備が完了した先頭領域を示すトップレジスタ8と、情報テーブル14内でDMA転送準備が完了した最後尾領域を示すボトムレジスタ7と、受信パラレルデータをシリアルデータに変換するレシーバ13と、ホストプロセッサ1とのインタフェースを制御するシステムインタフェ

ース4と、受信データをレシーバ13から情報テーブル14で示されたDMA転送領域へDMA転送するDMAコントローラ12と、アドレスレジスタ6、サイズレジスタ7、トップレジスタ8、ボトムレジスタ9、レシーバ13、システムインタフェース4、DMAコントローラ12を内部バス11を介して制御する内部プロセッサ5とを有して構成している。

【0010】尚、ホストプロセッサ1は、システムバス2を経由してメインメモリ3を管理し、シリアルデータコントローラ11を制御している。

【0011】図1の(b)は、メインメモリ3内の情報テーブル14とDMA転送領域の関係を示し、情報テーブル14は、メインメモリ3上に確保したDMA転送領域の個数分のDMA転送領域情報を登録できる機能を有している。DMA転送領域情報は、DMA転送領域の先頭アドレスとサイズとを示している。

【0012】図2は本実施例におけるメインメモリ内の情報テーブルの状態を示す。(a)は初期登録状態を示す図、(b)はフレーム2個を受信完了した状態を示す図、(c)は(b)の状態からフレームを2個受信完了した状態を示す図である。

【0013】図3は本実施例におけるメインメモリ内の情報テーブルの状態を示し、(d)は受信不能状態を示す図、(e)は(d)の状態から受信可能状態を示す図、(f)は(e)の状態から受信可能状態を示す図である。

【0014】次に、本実施例におけるメインメモリ内のDMA転送領域の状態遷移について図1、図2、図3を用いて説明する。

【0015】図2の(a)はメインメモリ3内の情報テーブル14への初期登録状態を示す図である。この状態ではメインメモリ3内の5個のDMA転送領域は全て受信待ち状態であり、トップレジスタ8およびボトムレジスタ9はともに情報テーブル14の先頭DMA転送領域情報1を示している。

【0016】図2の(a)の状態、フレームを2個受信完了した場合は、情報テーブル14は図2の(b)の状態に遷移する。この状態では、トップレジスタ8が、情報テーブル14のDMA転送領域情報3の位置に更新される。

【0017】図2の(b)の状態、フレームを2個受信完了した場合は、情報テーブル14は図2(c)の状態に遷移する。この状態では、トップレジスタ8が、情報テーブル14のDMA転送領域情報3の位置に更新される。

【0018】図2の(c)の状態、フレームを1個受信完了した場合は、情報テーブル14は図3の(d)の状態に遷移する。この状態は、トップレジスタ8およびボトムレジスタ9の両レジスタは再び情報テーブル14の先頭のDMA転送領域情報1を示し、登録された全て

のDMA転送領域を使用したので受信DMA不能状態となる。

【0019】図3の(d)の状態、ホストプロセッサ1が受信済のDMA転送領域2、3の解析が完了して情報テーブル14に再登録すると、情報テーブル14は図3の(e)の状態に遷移する。この状態では、トップレジスタ8は情報テーブル14のDMA転送領域情報1、ボトムレジスタ9は情報テーブル14のDMA転送領域情報3の位置に更新され、DMA転送領域2への受信DMAが可能になる。

【0020】図3の(e)の状態、ホストプロセッサ1が受信済のDMA転送領域1、4、5の解析が完了した情報テーブル14に再登録すると、情報テーブル14は図3の(f)の状態に遷移する。この状態では、トップレジスタ8は情報テーブル14のDMA転送領域情報1、ボトムレジスタ9は情報テーブル14のDMA転送領域情報5の位置に更新される。

【0021】図4は本実施例における内部プロセッサの制御フローを示し、(a)はホストプロセッサが情報テーブルのDMA転送領域情報登録直後の受信開始時の流れ図、(b)は受信完了検出時の流れ図、図5は本実施例におけるホストプロセッサが情報テーブルを受信中に更新する際の制御の流れ図である。

【0022】次に、本実施例における内部プロセッサおよびホストプロセッサの情報テーブルの制御について図1、図4、図5を用いて説明する。

【0023】図4、図5においてトップレジスタ8およびボトムレジスタ9の更新処理は、更新時随時、次のDMA転送領域情報の位置を示すアドレスを算出するものである。この処理では、アドレスレジスタ6、サイズレジスタ7を参照して最後尾のDMA転送領域情報からの更新を識別し、最後尾のDMA転送領域情報からの更新であれば、アドレスレジスタ6の内容に更新する回り込み処理にて情報テーブル14をサイクリックに使用している。

【0024】上記制御過程の結果、ホストプロセッサ1とシリアルデータコントローラ11は、アドレスレジスタ6、サイズレジスタ7、トップレジスタ8、ボトムレジスタ9をインタフェースにして、メインメモリ3内の情報テーブル14を更新している。メインメモリ3の同時参照/更新による誤動作がなくなり、ホストプロセッサ1が受信中にDMA転送領域の追加更新処理の際にDMAを停止する必要がなくなる。

【0025】

【発明の効果】以上説明したように本発明は、シリアルデータコントローラとホストプロセッサとによる管理のメインメモリをDMA転送を用いて、フレームを受信し、シリアルデータコントローラ内にメインメモリ上の複数のDMA転送領域を登録した情報テーブルの先頭アドレスを示すアドレスレジスタと、情報テーブルの領域

5

サイズを示すサイズレジスタと、情報テーブル内でDMA転送準備が完了した先頭領域を示すトップレジスタと、情報テーブル内でDMA転送準備が完了した最後尾領域を示すボトムレジスタと、受信パラレルデータをシリアルデータに変換するレシーバと、ホストプロセッサとのインタフェースを制御するシステムインタフェースと、受信データをレシーバから情報テーブルで示されたDMA転送領域へDMA転送するDMAコントローラと、そしてアドレスレジスタ、サイズレジスタ、トップレジスタ、ボトムレジスタ、レシーバ、システムインタフェース、DMAコントローラを制御する内部プロセッサとを有することにより、DMAを停止せずに、DMA転送領域の変更処理を行い、且つホストプロセッサの性能に依存せずにシリアルデータコントローラが有する最高データ転送速度を実現することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示し、(a)は本実施例を示すブロック図、(b)は本実施例におけるメインメモリの構成を示す図である。

【図2】本実施例におけるメインメモリ内の情報テーブルの状態を示し、(a)は初期登録状態を示す図、(b)はフレームを2個受信完了した状態を示す図、(c)は(b)状態からフレームを2個受信完了した状態を示す図である。

【図3】本実施例におけるメインメモリ内の情報テーブル

ルの状態を示す、(d)は受信不能状態を示す図、(e)は(d)の状態から受信可能状態を示す図、(f)は(e)の状態から受信状態を示す図である。

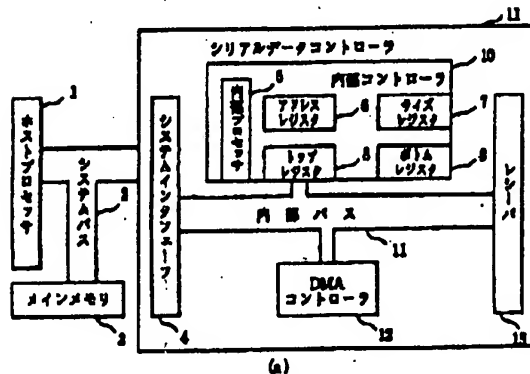
【図4】本実施例における内部プロセッサの制御フローを示し、(a)はホストプロセッサが情報テーブルのDMA転送領域情報登録直後の受信開始要求の流れ図、(b)は受信検出時の流れ図である。

【図5】本実施例におけるホストプロセッサが情報テーブルを受信中に更新する際の制御の流れ図である。

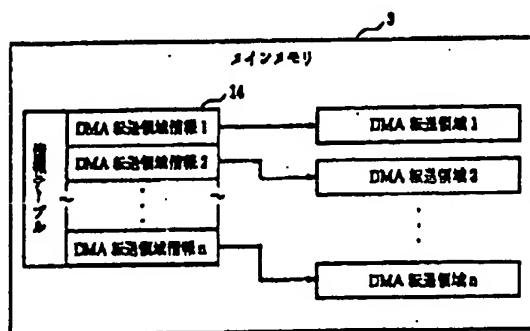
【符号の説明】

- 1 ホストプロセッサ
- 2 システムバス
- 3 メインメモリ
- 4 システムインタフェース
- 5 内部プロセッサ
- 6 アドレスレジスタ
- 7 サイズレジスタ
- 8 トップレジスタ
- 9 ボトムレジスタ
- 10 内部コントローラ
- 11 内部バス
- 12 ダイレクト・メモリ・アクセス (DMA) コントローラ
- 13 レシーバ
- 14 情報テーブル

【図1】

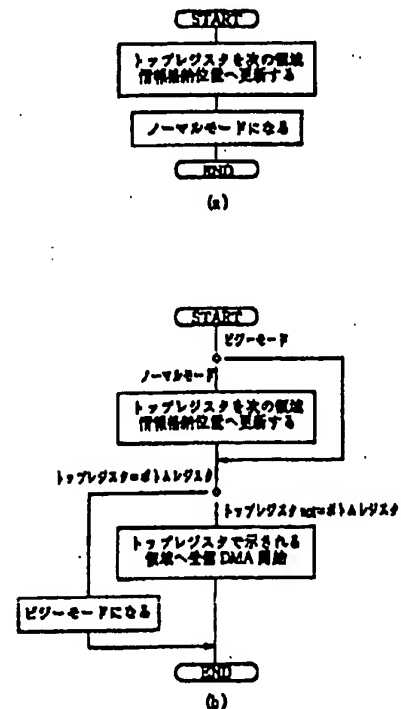


(a)

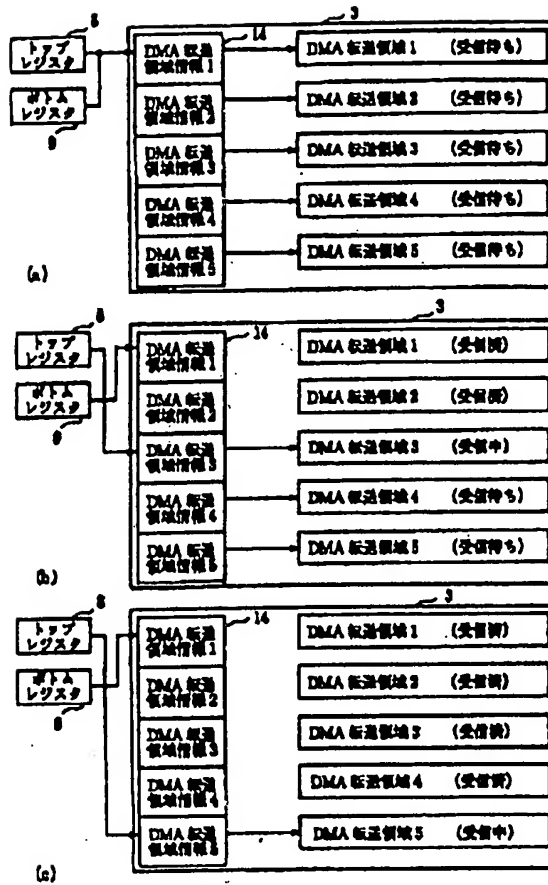


(b)

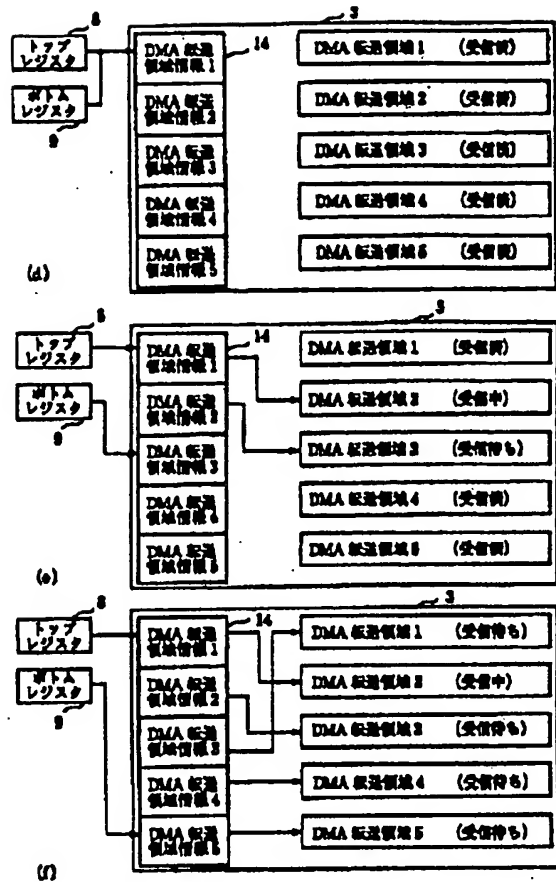
【図4】



【図2】



【図3】



【図5】

